



(19) BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES
PATENTAMT

Offenlegungsschrift

(10) DE 196 43 410 A 1

(51) Int. Cl. 6:

H 03 K 9/08

H 04 L 12/40

G 08 C 15/00

G 06 F 13/42

B 60 R 21/32

(21) Aktenzeichen: 196 43 410.6

(22) Anmeldetag: 21. 10. 96

(43) Offenlegungstag: 4. 6. 98

(71) Anmelder:

Robert Bosch GmbH, 70469 Stuttgart, DE

(72) Erfinder:

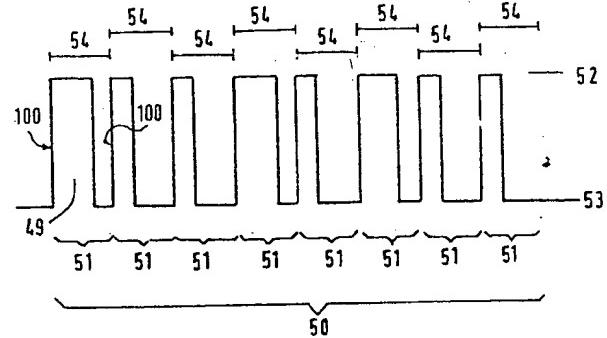
Karl, Otto, 71229 Leonberg, DE; Bauer, Joachim,
71720 Oberstenfeld-Prevorst, DE; Ott, Günther,
90461 Nürnberg, DE; Koehler, Dietmar, 72649
Wolfschlugen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Verfahren zur Decodierung eines digitalen Signals, Bussystem und Peripheriegerät hierfür

(57) Es wird ein Verfahren zur Decodierung von pulsweitenmodulierten (PWM) Signalen angegeben, wobei ein zweites, zum zu decodierenden Signal synchronisiertes Sägezahnsignal erzeugt wird. Durch Vergleich des Sägezahnsignals mit einer Referenz kann die zeitliche Mitte des für die Übertragung eines Bits reservierten Zeitraums gemessen werden, wodurch die Demodulation des Signals auf eine Messung des Signalpegels reduziert wird. Basierend auf diesem Verfahren wird ein Datenbus für ein Zündsystem vorgeschlagen.



Beschreibung

Stand der Technik

Die Erfindung geht aus von einem Verfahren zur Decodierung eines digitalen Signals sowie einem Bussystem und einem Peripheriegerät hierfür nach der Gattung der unabhängigen Ansprüche.

Es ist schon ein Verfahren zur Decodierung eines digitalen Signals bekannt. Bei dem digitalen Signal handelt es sich hierbei um ein pulsweitenmoduliertes Signal. Das Signal kann zwei Zustände, einen hohen Signalpegel und einen niedrigen Signalpegel, annehmen. Bei der Pulswidtemodulation ist für jedes zu übertragende Bit eine bestimmte Zeit, die Gesamtpulsweite, vorgesehen. Während der Gesamtpulsweite nimmt das Signal zuerst den niedrigen und dann den hohen Signalpegel ein, wobei die Dauer des hohen Signalpegels entweder ein Drittel oder zwei Drittel der Gesamtpulsweite umfaßt. Der erste Fall entspricht einer codierten binären Null, der zweite Fall einer 1. Die Decodierung dieses Bits erfolgt durch Messung des Signalpegels etwa zur Hälfte der Gesamtpulsweite. Zu diesem Zweck ist der Decoder mit einem Oszillator versehen, um die Mitte der Gesamtpulsweite zuverlässig zu messen.

Die Notwendigkeit, den Decoder mit einem Oszillator zu versehen, verteilt allerdings diesen Decoder. Sollen längere Bitströme decodiert werden, muß einerseits der Oszillator im Decoder genau sein, andererseits müssen auch die Gesamtpulsweiten der einzelnen Bits hochgradig reproduzierbar sein. Diese Anforderung bedingt den Einsatz von hochgenauen und exakt abgeglichenen Oszillatoren sowohl im Decoder als auch im Codierer.

Weiterhin ist aus der bisher unveröffentlichten deutschen Patentanmeldung mit dem Aktenzeichen 19 6162 93.9 ein Bussystem für die Übertragung von Nachrichten zwischen einem Steuergerät und einer Peripherieeinheit bekannt, wobei das Steuergerät Nachrichten hoher Dringlichkeit und Nachrichten geringer Dringlichkeit an die Peripherieeinheit sendet. Die Nachrichten mit hoher Dringlichkeit weisen eine größere Amplitude auf als die Nachrichten geringer Dringlichkeit. Die Nachrichten bestehen aus digitalen Signalen, wobei eine binäre 0 einem niedrigen Signalpegel und eine binäre 1 einem hohen Signalpegel entspricht.

Vorteile der Erfindung

Das erfindungsgemäße Verfahren mit den kennzeichnenden Merkmalen des Anspruchs 1 hat demgegenüber den Vorteil, daß bei Benutzung dieses Verfahrens zur Decodierung des digitalen Signals kein Oszillator im Decoder benötigt wird. Das Bussystem mit den kennzeichnenden Merkmalen des Anspruchs 10, sowie die Peripherieeinheit mit den kennzeichnenden Merkmalen des Anspruchs 16, sowie das Gerät mit den kennzeichnenden Merkmalen des Anspruchs 27 haben demgegenüber den Vorteil, daß sie einfacher und demzufolge auch billiger aufzubauen sind.

Durch die in den abhängigen Ansprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der in den unabhängigen Ansprüchen angegebenen Verfahren und Einrichtungen möglich.

So ist es vorteilhaft, den Signalpegel des Signals mehrfach zu messen, da somit das Signal zu Rauschverhältnis besser wird.

Besonders vorteilhaft ist es, das Signal für jedes Bit dreimal zu messen und die Ergebnisse einem Mehrheitsentscheider zuzuführen, da die Signalauswertung so besonders einfach wird.

Die Zeit zwischen den einzelnen Messungen für dasselbe

Bit kann besonders einfach und preiswert mit Hilfe eines RC-Oszillators gemessen werden.

Es ist besonders vorteilhaft, in dem Bussystem Nachrichten hoher und niedriger Dringlichkeit zu übertragen, wobei die ersten eine höhere Amplitude aufweisen als die letzten, da somit die Nachrichten höherer Dringlichkeit automatisch die Nachrichten geringerer Dringlichkeit überschreiten.

Es ist vorteilhaft, die Gesamtpulsweite der Nachrichten höherer Dringlichkeit geringer zu halten, da somit eine höhere Übertragungsrate für die Nachrichten mit großer Dringlichkeit erreicht wird. Gleichzeitig wird für die Nachrichten geringerer Dringlichkeit durch die geringeren Gesamtpulsweiten eine bessere EMV-Verträglichkeit gewährleistet.

Die Ausbildung des Bussystems als Zündbus für ein Airbagsystem, wobei die Nachrichten niedriger Dringlichkeit Diagnoseanfragen und die Nachrichten höherer Dringlichkeit Zündbefehle darstellen, da ein so aufgebautes Airbagsystem flexibel im Aufbau ist und leicht erweiterbar und/oder reparierbar ist vorteilhaft.

Zeichnung

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigen Fig. 1 ein digitales Signal mit pulsweitenmodulierten Bits, Fig. 2 eine erste Schaltung zur Decodierung eines digitalen Signals mit pulsweitenmodulierten Bits, Fig. 3 ein PWM-moduliertes Bit und ein zweites Signal mit Integral über das zweite Signal, Fig. 4 einen zweiten Decoder zur Decodierung eines digitalen Signals mit pulsweitenmodulierten Bits, Fig. 5 ein Bussystem.

Beschreibung

Fig. 1 zeigt ein digitales Signal 50 mit pulsweitenmodulierten Bits, das ein Startbit 49 und die Binärzahl 0010100 umfaßt, wie im folgenden erläutert wird. Das digitale Signal 50 kann zwischen zwei Signalpegeln, einem hohen Signalpegel 52 und einem niedrigen Signalpegel 53 wechseln. Der Unterschied zwischen den beiden Signalpegeln ist hinreichend groß, daß störende Effekte wie Rauschen, Drifts oder kleine Abweichungen vom idealen Signalpegel vernachlässigt werden können. Diese Effekte sind deshalb auch in Fig. 1 nicht gezeigt. Das Signal 50 ist eine Abfolge von 8 Bits 51, wobei das erste Bit 49, das Startbit nicht decodiert werden soll. Die zeitliche Dauer aller Bits ist gleich, sie umfaßt die Gesamtpulsweite 54.

Werden keine Daten übertragen, nimmt das Signal 50 den niedrigen Signalpegel 53 an. Ein Bit beginnt mit einem steilen Anstieg 100 auf einen hohen Signalpegel 52, welcher im ersten Bit beispielsweise über zwei Drittel der Gesamtpulsweite unverändert gehalten wird. Danach folgt ein steiler Abfall auf den niedrigen Signalpegel 53, welcher dann für den Rest der Gesamtpulsweite unverändert bleibt. Das zweite Bit in Fig. 1 beginnt beispielsweise wiederum mit einem steilen Anstieg 100 auf den hohen Signalpegel 52, welcher über ein Drittel der Gesamtpulsweite unverändert gehalten wird, gefolgt von einem steilen Abfall auf den niedrigen Signalpegel 53, welcher über zwei Drittel der Gesamtpulsweite unverändert gehalten wird.

Die Dauer des niedrigen Signalpegels in einem Bit 51 entscheidet über den Wert des Bits 51. Ist der Signalpegel vorwiegend niedrig, so handelt es sich um ein Bit mit dem Wert 0, im entgegengesetzten Fall um ein Bit mit dem Wert 1. Das Signal 50 aus Fig. 1 umfaßt also neben dem Startbit 49, welches den Wert 1 aufweist, die Bitfolge 0010100.

Fig. 2 zeigt ein Blockschaltbild einer Einrichtung, welche

zur Decodierung eines pulsweitenmodulierten (PWM)-Signals eingesetzt wird. Die Busleitungen 3 und 4 seien Leitungen, welche zur Verbreitung des Signals 50 benutzt werden. Hierbei sei die Busleitung 3 die Masseleitung, die Busleitung 4 die Signalleitung. Die Signalleitung 4 ist über eine Triggerleitung 25 mit einem Integrator 11 verbunden. Der Eingang des Integrators 11 ist mit dem Ausgang des zweiten Signalgenerators 10 verbunden. Der zweite Signalgenerator 10 für das zweite Signal 56 ist als Gleichspannungsquelle oder Gleichspannungsanschluß ausgebildet. Der Ausgang des Integrators 11 ist zum einen mit dem Multiplikator 12 verbunden, zum anderen mit einem ersten Eingang eines Komparators 14. Der Ausgang des Multiplikators 12 ist mit einem Speicher 13 verbunden, welcher mit einem zweiten Eingang des Komparators 14 verbunden ist.

Fig. 3 zeigt ein Bit eines PWM-codierten Signals 50, welches sich über eine Gesamtpulsweite 54 erstreckt. Weiterhin ist ein zweites Signal 56 gezeigt, welches zeitlich konstant ist. Weiterhin ist das integrierte zweite Signal 57 gezeigt, wobei der starke Anstieg 100 als untere Integrationsgrenze und die Gesamtpulsweite als Integrationsintervall gewählt wurde. Weiterhin eingezeichnet ist das 0,5-fache des Spitzenwerts des integrierten zweiten Signals 57, welches im folgenden Referenz 55 genannt wird.

Das Verfahren soll nun anhand von Fig. 2 und Fig. 3 erläutert werden. Zusätzlich zum Signal 50, welches decodiert werden soll, wird vom zweiten Signalgenerator 10 ein zweites Signal 56 zur Verfügung gestellt. Durch die Integration des zweiten Signals 56 ergibt sich ein ansteigendes Signal mit konstanter Steigung. Der Integrator 11, welcher die Integration des zweiten Signals 56 durchführt, sei so ausgeführt, daß er triggerbar ist, wobei das Triggersignal durch den steilen Anstieg 100 eines PWM-Bits gegeben ist. Jedes Triggersignal setzt den Ausgang des Integrators 11 auf Null und bewirkt den Neubeginn einer Integration. Das am Ausgang des Integrators 11 anliegende Signal besteht somit aus einer Abfolge von Dreieckssignalen, wobei die Breite eines Dreiecks einer Gesamtpulsweite 54 entspricht. Der Maximalwert des ersten Dreiecks wird einem Multiplikator 12 zugeführt, in welchem er mit einer vorgegebenen Zahl multipliziert wird. Im hier gewählten Ausführungsbeispiel ist diese Zahl 0,5. Das Resultat dieser Multiplikation wird als Referenz 55 im Speicher 13 gespeichert. Im Verlauf des nächsten Bits 51 des Signals 50 wird das Ausgangssignal des Integrators 11 fortlaufend mit der Referenz 55 verglichen, welche im Speicher 13 abgespeichert ist. Hierzu ist der Komparator 14 vorgesehen, welcher mit dem im Speicher 13 befindlichen Wert und dem Ausgang des Integrators 11 beaufschlagt ist. Sobald das integrierte zweite Signal 57 die Referenz 55 erreicht, liegt am regulären Ausgang 141 des Komparators 14 ein bestimmtes Signal, beispielsweise eine 1, an, wodurch das Messen des Pegels des Signals 50 gesteuert wird. Hierfür ist der triggerbare Pegelmesser 15 vorgesehen.

In diesem Ausführungsbeispiel sei vorgesehen, daß das Beschreiben des Speichers getaktet ist oder vom steilen Anstieg 100 getriggert wird. Somit wird gewissermaßen die Gesamtpulsweite 54 für jedes Bit neu gemessen und das Verfahren wird weniger empfindlich gegenüber Drifterscheinungen.

Alternativ kann der Speicher auch so ausgebildet sein, daß sein Inhalt nur von einer größeren Zahl überschrieben werden kann. Diese Maßnahme verhindert, daß die Referenz zu Beginn jedes Bits gelöscht wird. Dies ist einfacherweise mit einem zusätzlichen Komparator (nicht in der Zeichnung dargestellt) zu bewirken, welcher den Speicherinhalt mit dem Eingang vergleicht. Als weitere Möglichkeit ergibt sich, das Überschreiben des Speichers 13 zu blockieren, sobald am Komparator 14 ein Signal anliegt.

Anstelle des Multiplikators kann auch 12 ein Filter vorgesehen sein, welches das integrierte Signal glättet, wodurch ebenfalls die Referenz entsteht.

Eine Abwandlung des Ausführungsbeispiels aus Fig. 2 ergibt sich dadurch, daß der Pegel des Signals 50 nicht einmal in der Mitte der Gesamtpulsweite, sondern dreimal im mittleren Drittel der Gesamtpulsweite gemessen wird. Eine Schaltung, welche dieses weiterentwickelte Verfahren realisiert, ist in Fig. 4 dargestellt, wobei gleiche Bauteile mit gleichen Bezeichnungen wie in den Fig. 1 bis 3 versehen wurden. Das zu Decodierende digitale Signal 50 wird wiederum über die Busleitungen 3, 4 bereitgestellt. Die Busleitung 3 ist die Masseleitung, die Busleitung 4 wird mit dem Signal beaufschlagt. Die Busleitung 4 ist über die Triggerleitung 25 mit dem vierten Signalgenerator 26, welcher als triggerbarer Sägezahngenerator ausgebildet ist, verbunden. Mit dem Ausgang des triggerbaren Sägezahngenerators 26 ist der Multiplikator 12 verbunden, an dessen Ausgang der Speicher 13 angeschlossen ist. Außerdem ist an den Speicher des vierten Signalgenerators 26 der Komparator 14 angeschlossen. Ein zweiter Eingang des Komparators 14 ist mit dem Speicher 13 verbunden. Der Ausgang des Komparators ist einerseits mit dem triggerbaren Pegelmesser 15 verbunden, welcher mit der Busleitung 4 verbunden ist. Andererseits ist der Komparator 14 mit dem Triggereingang des Zählers 21 verbunden. Ferner ist in der Schaltung ein dritter Signalgenerator 20 vorgesehen, dessen Ausgang mit dem Eingang des Zählers 21 verbunden ist. Weiterhin weist die Schaltung einen zweiten Speicher 22 auf. Der Speicher 22 und der Ausgang des Zählers 21 sind mit den Eingängen eines zweiten Komparators 24 verbunden. Der Ausgang des Komparators 24 ist, wie schon der Ausgang des Komparators 14, mit dem triggerbaren Pegelmesser 15 verbunden.

Der vierte Signalgenerator 26 erzeugt wiederum ein vier tes Signal, welches als mit dem zu Decodierenden Signal 50 synchronisiertes Sägezahnsignal ausgebildet ist. Er entspricht insofern der Kombination aus zweitem Signalgenerator 10 und Integrator 11 aus Fig. 2. Wiederum wird aus dem Maximalwert des vierten Signals, den dieses während des ersten Bits annimmt, eine Referenz 55 im Multiplikator 12 errechnet und im Speicher 13 gespeichert.

Für alle folgenden Bits des Signals 50 wird wiederum das zweite Signal mit der Referenz 55 mit Hilfe des Komparators 14 verglichen. Sobald das vierte Signal die Referenz 55 erreicht, triggert der Komparator 14 den triggerbaren Pegelmesser 15, wodurch der Signalpegel des Signals 50 gemessen wird.

Gleichzeitig triggert der Komparator 14 auch einen Zähler 21, so daß der Zähler bei Erhalt eines Triggersignals mit einem Zählvorgang beginnt. Der Eingang des Zählers 21 wird mit dem Ausgangssignal eines dritten Signalgenerators 20 beaufschlagt. Der dritte Signalgenerator 20 erzeugt ein schnell oszillierendes periodisches Signal. Beispielsweise kann der dritte Signalgenerator 20 einen RC-Oszillator umfassen. Die Oszillationen des dritten Signals werden also im Zähler 21 gezählt, und zwar von dem Zeitpunkt ab, zu welchem der Komparator 14 die Messung des Signalpegels des Signals 50 getriggert hat. Der Komparator 24 vergleicht diese Zahl der Oszillationen des dritten Signals seit der Pegelmessung mit einer vorgegebenen Zahl, welche im Speicher 22 abgelegt ist. Sobald die Zahl der Oszillationen die vorgegebene Zahl erreicht, triggert der zweite Komparator 24 den triggerbaren Pegelmesser 15 und bewirkt somit eine erneute Messung des Pegels des Signals 50. Die Frequenz des dritten Signals und die vorgegebene Zahl im Speicher 22 sind hierbei so zu wählen und aufeinander abzustimmen, daß die zweite Messung des Signalpegels des Signals 50 ebenfalls noch in dem Bereich erfolgt, in welchem sich die

pulsweitenmodulierte 0 und die pulsweitenmodulierte 1 im Signalpegel unterscheiden. Im vorliegenden Beispiel ist dies das mittlere Drittel der Gesamtpulsweite 54.

Das durch die Schaltung in Fig. 4 veranschaulichte Verfahren läßt sich natürlich erweitern, indem der Signalpegel des Signals 50 mehr als zweimal gemessen wird.

Es bietet sich an, den Signalpegel dreimal zu messen, da die drei Meßwerte zwischengespeichert werden können und nach Abschluß der dritten Messung einem Mehrheitsentscheider zugeführt werden können. Somit sind Meßfehler beispielsweise durch Übersprechen von anderen Leitungen mit sehr einfachen Mitteln eliminierbar.

Dem Verfahren liegt das Prinzip zugrunde, ein erstes Bit zur Messung der Gesamtpulsweite heranzuziehen und mit Hilfe dieser Information ein weiteres Bit zu decodieren, indem aus der gemessenen Gesamtpulsweite ein Zeitpunkt für die Messung des Signalpegels berechnet wird.

So soll es auch erfindungsgemäß sein, mit Hilfe eines Oszillators, der eine Periode aufweist, welche deutlich kürzer ist als die Gesamtpulsweite, die Gesamtpulsweite als Vielfaches der Perioden des Oszillators zu bestimmen, hieraus die Referenz zu berechnen, beispielsweise durch einfache Multiplikation, und zu speichern. Zur Decodierung der Bits wird dann die Zahl der Perioden des Oszillators seit dem letzten steilen Anstieg des zu decodierenden Signals mit der Referenz verglichen und gegebenenfalls der Signalpegel des zu decodierenden Signals bestimmt.

Eine Anwendung für das erfindungsgemäße Verfahren wird in Fig. 5 gezeigt. In Fig. 5 wird ein Steuergerät 1 gezeigt, welches über Busleitungen 3, 4 mit mehreren Peripherieeinheiten 2 verbunden ist. Das Steuergerät 1, welches im folgenden auch vereinfacht als Gerät bezeichnet wird, weist einen Prozeßrechner 5 und ein Businterface 6 auf. Die Busleitungen 3 und 4 sind mit dem Businterface 6 verbunden.

Durch die Busleitungen 3, 4 wird ein Zweidrahtbus geschaffen, durch den Nachrichten zwischen dem Steuergerät 1 und den Peripherieeinheiten 2 ausgetauscht werden können. Da für einen derartigen Bus nur zwei Leitungen erforderlich sind, wird der Aufwand an Verkabelung zwischen Steuergerät 1 und Peripherieeinheiten 2 besonders gering gehalten. Der Austausch von Nachrichten über den Bus erfolgt dadurch, daß die jeweils sendende Station elektrische Signale, sowohl Stromsignale als auch Spannungssignale, auf die Busleitungen 3, 4 gibt, die dann von der empfangenden Station ausgewertet werden. Im vorliegenden Ausführungsbeispiel ist die Leitung 3 die Masseleitung und die Leitung 4 wird mit dem Signal beaufschlagt. Die Nachrichten bestehen dabei aus einer Folge von Bits, wobei jedes Bit pulsweitenmoduliert ist. Eine solche Abfolge von Bits wurde schon in der Fig. 1 dargestellt.

Die Amplitude des Spannungssignals, d. h. der Unterschied zwischen dem niedrigen und dem hohen Signalpegel wird für eine erste Anwendung niedrig gewählt. Außerdem sei die Gesamtpulsweite 54 relativ groß. Vorteilhaft ist an einer derartigen Übertragung von Nachrichten, daß die durch den Bus verursachten elektromagnetischen Störungen besonders gering sind. Bedingt durch die geringe Übertragungsrate ist eine derartige Übertragung von Nachrichten in besonderem Maße geeignet, wenn die Nachrichten nicht von großer zeitlicher Dringlichkeit sind.

Auf dem Bus 4 kann jedoch gleichermaßen ein Signal mit pulsweitenmodulierten Bits übertragen werden, welches eine sehr große Amplitude aufweist, sowie eine sehr kleine Gesamtpulsweite. Die Übertragung dieses Signals bewirkt stärkere elektromagnetische Störungen, jedoch ist, bedingt durch die geringere Gesamtpulsweite 54, eine sehr viel höhere Übertragungsrate erzielbar.

Aufgrund der unterschiedlich großen Amplitude können

somit Nachrichten großer Amplitude jederzeit von den Nachrichten kleiner Amplitude überschrieben werden.

Bei dem in der Fig. 5 gezeigten System von Steuergerät 1, Peripherieeinheiten 2 und Busleitungen 3, 4 wird insbesondere an ein Airbagsystem gedacht. Dieses weist ein Zentralsteuergerät 1 auf und Peripherieeinheiten 2, die jeweils einen Airbag, einen Seitenairbag, einen Gurtstraffer oder andere Elemente aufweisen. Bei einem derartigen Airbagsystem müssen die Befehle zum Auslösen der einzelnen Peripherieeinheiten 2 mit großer Dringlichkeit übertragen werden, wobei dabei keinerlei Verzögerung geduldet werden kann. Weiterhin sollte ein derartiges System in der Lage sein, die Funktionsfähigkeit der einzelnen Peripherieeinheiten 2 konstant zu überprüfen. Es ist daher vorgesehen, daß das Steuergerät 1 Diagnoseanforderungen an die Peripherieeinheiten 2 sendet, die dann durch ein Rücksignal die Funktionstüchtigkeit bestätigen können. Im Vergleich zu den Befehlen zum Auslösen der Peripherieeinheiten 2 sind die Diagnoseanforderungen von geringer Dringlichkeit. Das erfindungsgemäße Bussystem läßt sich somit besonders vorteilhaft für ein Airbagsystem einsetzen, bei dem zwischen dem Steuergerät 1 und den dazugehörigen Peripherieeinheiten 2 konstante Diagnoseinformationen über die Betriebsbereitschaft der einzelnen Peripherieeinheiten 2 ausgetauscht werden und dann mit hoher Dringlichkeit Befehle von dem Steuergerät 1 an die Peripherieeinheiten 2 übermittelt werden müssen, die zum Auslösen der Funktionen der einzelnen Peripherieeinheiten 2 führen.

Patentansprüche

1. Verfahren zur Decodierung eines digitalen Signals (50) mit pulsweitenmodulierten Bits mit einem hohen (53) und einem niedrigen (52) Signalpegel, wobei wenigstens eines der Bits (49), insbesondere das erste, des Signals nicht decodiert wird, und wobei jedes Bit eine vorgegebene Gesamtpulsweite (54) umfaßt, die für jedes Bit gleich ist, dadurch gekennzeichnet, daß ein Bit zur Bestimmung der Gesamtpulsweite benutzt wird, daß aus der Gesamtpulsweite eine Meßzeit berechnet wird, vorzugsweise durch Multiplikation der Gesamtpulsweite mit einem vorgegebenen Wert, und daß für ein auf das Bit folgendes anderes Bit der Signalpegel des Signals (50) gemessen wird sobald die Meßzeit seit Beginn des folgenden Bit verstrichen ist.

2. Verfahren zur Decodierung eines digitalen Signals (50) nach Anspruch 1, dadurch gekennzeichnet, daß

- a) ein viertes Signal erzeugt wird, wobei das vierte Signal ein Sägezahnsignal ist, das am Anfang jedes Bits einen vorgegebenen Wert aufweist und am Ende jedes Bits einen Maximalwert erreicht und dann zurückgesetzt wird,
- b) daß wenigstens für das erste Bit des Signals (50) der Maximalwert des vierten Signals mit einem vorgegebenen Faktor, vorzugsweise etwa 0,5, multipliziert wird und als eine Referenz (55) gespeichert wird,
- c) daß für die zu decodierenden Bits das vierte Signal fortlaufend mit der Referenz verglichen wird,
- d) daß der Signalpegel des Signals (50) wenigstens ein Mal gemessen wird, sobald das vierte Signal die Referenz (55) überschreitet, und daß die Schritte c) bis d) für alle zu decodierenden Bits wiederholt werden.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Signalpegel des Signals (50) für jedes Bit 3 mal gemessen wird.

4. Verfahren nach Anspruch 1, 2 oder 3, dadurch ge-

kennzeichnet, daß ein drittes periodisches Signal erzeugt wird, vorzugsweise mittels eines RC-Oszillators, daß die Perioden dieses dritten periodischen Signals gezählt werden, wobei das Zählen neu gestartet wird; wenn das vierte Signal die Referenz überschreitet, daß der Signalpegel des Signals ein weiteres Mal gemessen wird, wenn die Zahl der Perioden des dritten periodischen Signals einen ersten vorgegebenen Wert erreicht.

5. Verfahren nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß wenigstens ein zweiter Wert für die Zahl der Perioden des dritten periodischen Signals vorgegeben sind, wobei der erste und der zweite vorgegebene Wert verschieden sind, und daß der Signalpegel des Signals bei Erreichen des ersten vorgegebenen Werts gemessen wird und bei Erreichen des zweiten vorgegebenen Werts gemessen wird.

6. Verfahren nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, daß die Signalpegel des Signals (50) zwischengespeichert werden, daß die Signalpegel verglichen werden und daß der Signalpegel, der als häufigster gemessen wurde, als der zur Decodierung des Bits maßgebliche Signalpegel weiterverarbeitet wird.

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß für die Erzeugung des vierten Signals ein zweites Signal, das zeitlich konstant ist, erzeugt wird, daß das zweite Signal über die Gesamtpulsweite des ersten Bits des Signals (50) integriert wird, wobei bei Beginn jedes Bits die Integration neu gestartet wird und ihr Ergebnis auf Null gesetzt wird.

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß für die Erzeugung des zweiten Signals das Signal (50) gleichgerichtet und/oder geglättet wird.

9. Bussystem für die Übertragung von Nachrichten zwischen einem Gerät (1) und mindestens einer Peripherieeinheit (2), dadurch gekennzeichnet, daß die Nachrichten jeweils in Form eines digitalen Signals (50) mit einer Folge von pulsweitenmodulierten Bits (51) übertragen werden, wobei jedes Bit (51) einen hohen (52) und einen niedrigen (53) Signalpegel aufweist, und daß die pulsweitenmodulierten Bits (51) in der Peripherieeinheit (2) nach einem Verfahren nach einem der vorhergehenden Ansprüche decodierbar sind.

10. Bussystem nach Anspruch 9, dadurch gekennzeichnet, daß von dem Gerät (1) Nachrichten hoher Dringlichkeit und Nachrichten geringer Dringlichkeit an die mindestens eine Peripherieeinheit (2) sendbar sind, wobei die Nachrichten hoher Dringlichkeit eine größere Differenz zwischen dem hohen und dem niedrigen Signalpegel aufweisen als die Nachrichten geringer Dringlichkeit.

11. Bussystem nach Anspruch 10, dadurch gekennzeichnet, daß die Gesamtpulsweite eines einzelnen Bits der Nachrichten mit großer Dringlichkeit geringer ist als die Gesamtpulsweite eines einzelnen Bits der Nachrichten geringer Dringlichkeit.

12. Bussystem nach einem der Ansprüche 10 bis 11, dadurch gekennzeichnet, daß die Peripherieeinheit zur Auslösung eines Airbags ausgebildet ist, daß die Nachrichten geringer Dringlichkeit als Diagnoseanforderungen über die Betriebsbereitschaft des Airbags ausgebildet sind, und daß die Nachrichten mit hoher Dringlichkeit als Auslösebefehle für den Airbag ausgebildet sind.

13. Bussystem nach Anspruch 12, dadurch gekennzeichnet, daß mehrere Peripherieeinheiten (2) mit den

Busleitungen (3, 4) verbunden sind, daß die Diagnoseanforderung eine Adresse einer der Peripherieeinheiten (2) enthält und daß die Peripherieeinheit mit der Adresse eine Rückantwort an das Steuergerät sendet, mit der die Betriebsbereitschaft der Peripherieeinheit (2) erkennbar ist.

14. Bussystem nach Anspruch 13, dadurch gekennzeichnet, daß die Rückantwort aus einer Belastung der Busleitungen (3, 4) besteht.

15. Peripherieeinheit (2) für ein-Bussystem, für den Empfang von digitalen Signalen (50), dadurch gekennzeichnet, daß digitale Signale (50), die aus einer Abfolge von pulsweitemodulierten Bits (51) bestehen, wobei jedes Bit einen hohen (52) und einen niedrigen (53) Signalpegel aufweist, und jedes Bit eine Gesamt-pulsweite (54) aufweist, empfangbar sind, daß ein vierter Signalgenerator (26) zur Erzeugung eines vierten Signals vorhanden sind, daß ein Multiplikator (12) oder Spannungsteiler zur Multiplikation des vierten Signals des Integrators mit einem vorgegebenen Faktor, vorzugsweise etwa 0.5, vorhanden ist, daß das Ergebnis als Referenz (55) speicherbar ist, daß ein erster Komparator (14) vorgesehen ist, mit dem das vierte Signal mit der Referenz vergleichbar ist und daß durch den ersten Komparator (14) das Messen des Signalpegels des Signals (50) steuerbar ist.

16. Peripherieeinheit nach Anspruch 15, dadurch gekennzeichnet, daß ein dritter Signalgenerator (20), vorzugsweise ein RC-Oszillator, durch den ein drittes periodisches Signal erzeugbar ist, vorgesehen ist, daß ein Zähler (21) vorgesehen ist, durch den die Perioden des dritten periodischen Signalszählbar sind, daß der Zähler (21) durch den ersten Komparator (14) auf Start setzbar ist, daß Mittel (22) zum Speichern wenigstens einer vorgegebenen Zahl vorhanden sind, daß ein zweiter Komparator (24) vorgesehen ist, daß im zweiten Komparator das Resultat des Zählers mit der vorgegebenen Zahl vergleichbar ist, daß durch den zweiten Komparator (24) das Messen des Signalpegels des Signals (50) steuerbar ist.

17. Peripherieeinheit (2) nach einem der Ansprüche 15 oder 16, dadurch gekennzeichnet, daß eine Schaltungsanordnung zur Erkennung von empfangenen Signalen (50), welche eine vorgegebene Differenz zwischen hohem und niedrigem Pegel überschreiten, vorgesehen ist, so daß Signale hoher und niedriger Amplitude trennbar sind.

18. Peripherieeinheit nach Anspruch 17, dadurch gekennzeichnet, daß durch Empfang von Nachrichten hoher Amplitude die Bearbeitung von Nachrichten niedriger Amplitude abgebrochen wird.

19. Peripherieeinheit nach einem der Ansprüche 17 oder 18, dadurch gekennzeichnet, daß Signale niedriger Amplitude Signale niedriger Dringlichkeit, insbesondere Diagnoseanforderungen, sind, und daß Mittel zur Aussendung einer Rückantwort vorgesehen sind.

20. Peripherieeinheit nach einem der Ansprüche 17 bis 19, dadurch gekennzeichnet, daß die Rückantwort durch Belastung zweier Busleitungen des Bussystems signalisierbar ist.

21. Peripherieeinheit nach einem der Ansprüche 15 bis 18, dadurch gekennzeichnet, daß die Energieversorgung über das Bussystem erfolgt.

22. Peripherieeinheit nach einem der Ansprüche 15 bis 21, dadurch gekennzeichnet, daß ihr eine Adresse zugeordnet ist, daß empfangbare Nachrichten mit einer Zieladresse versehen sind, und daß in der Peripherieeinheit Mittel vorgesehen sind, die Zieladresse mit der

Adresse der Peripherieeinheit zu vergleichen.

23. Peripherieeinheit nach einem der Ansprüche 15 bis 22, dadurch gekennzeichnet, daß das Peripheriegerät als Auslöseeinheit für ein Airbag und/oder Gurtstraf-fersystem ausgebildet ist.

24. Gerät (1) zur Aussendung von Nachrichten an mindestens eine Peripherieeinheit (2), dadurch gekenn-zeichnet, daß die Nachrichten als digitale Signale (50), die aus einer Abfolge von Pulsweite-modulierten Bits (51) ausgebildet sind, wobei jedes Bit (51) eine Ge-samtpulsweite (54) mit einem hohen (52) und einem niedrigen (53) Signalpegel aufweist, daß Nachrichten hoher Dringlichkeit mit einer größeren Differenz zwi-schen hohem und niedrigem Signalpegel und Nach-richten niedriger Dringlichkeit mit einer kleineren Dif-ferenz zwischen hohem und niedrigem Signalpegel aussendbar sind.

25. Gerät (1) nach Anspruch 24, dadurch gekennzeich-net, daß die Nachrichten hoher Dringlichkeit aus Bits (51) kürzerer Gesamtpulsweite (54) bestehen als die Nachrichten niedriger Dringlichkeit.

26. Gerät (1) nach einem der Ansprüche 24 oder 25, dadurch gekennzeichnet, daß Nachrichten hoher Dringlichkeit vor Beendigung des Absendens von Nachrichten niedriger Dringlichkeit und/oder vor Be-endigung des Empfangs von Nachrichten von einem Peripheriegerät (2) absendbar sind.

27. Gerät (1) nach einem der Ansprüche 24 bis 26, da-durch gekennzeichnet, daß die aussendbaren Nachrich-ten niedriger Dringlichkeit als Diagnoseanforderungen über die Betriebsbereitschaft an die Peripheriegeräte (2) ausgebildet sind, und daß die aussendbaren Nach-richten hoher Dringlichkeit als Auslösebefehle für mindestens ein bestimmtes Peripheriegerät (2) ausgebildet sind.

28. Gerät (1) nach einem der Ansprüche 24 bis 27, da-durch gekennzeichnet, daß Mittel zum Empfang von Nachrichten von einer Peripherieeinheit (2) vorhanden sind.

5

10

15

20

25

30

35

40

Hierzu 2 Seite(n) Zeichnungen

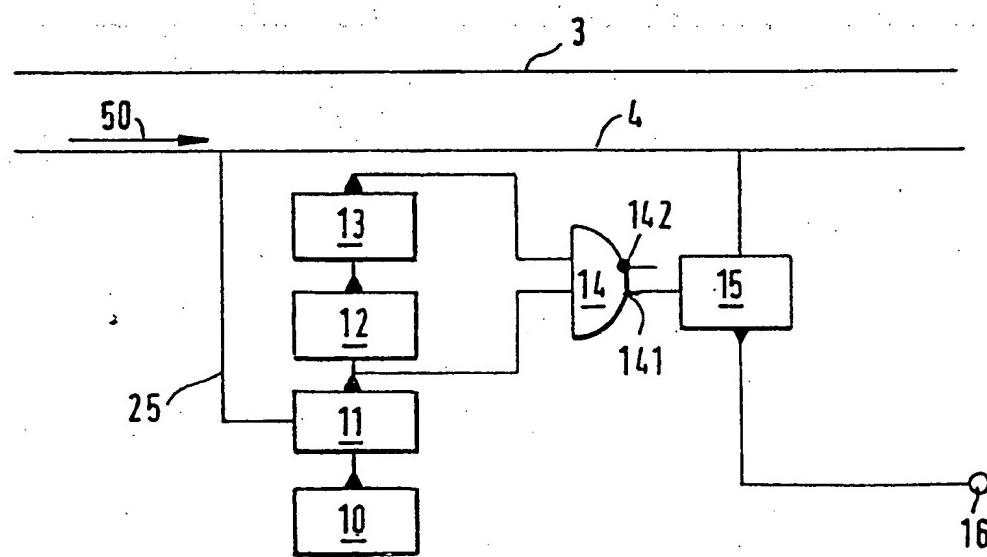
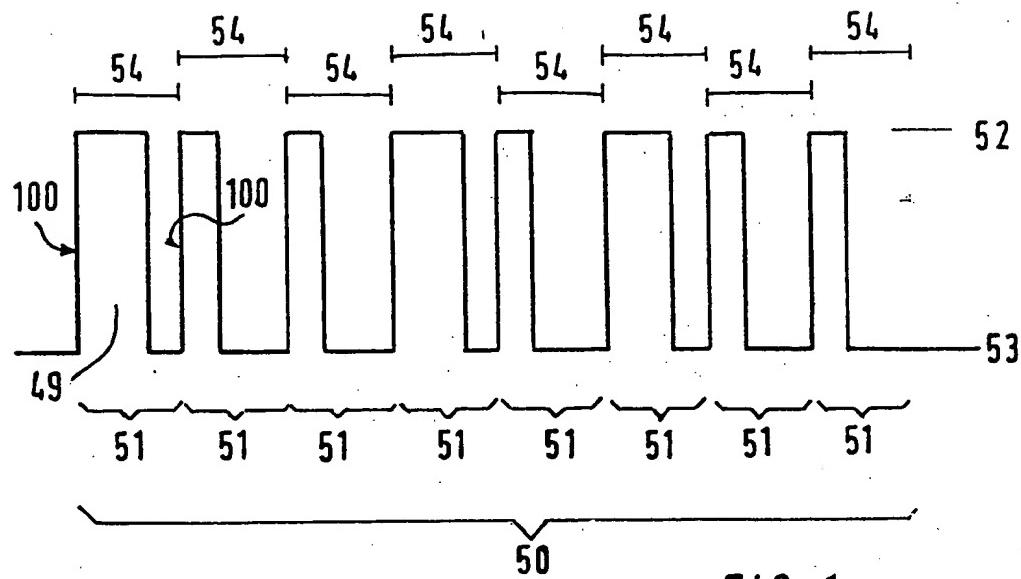
45

50

55

60

65



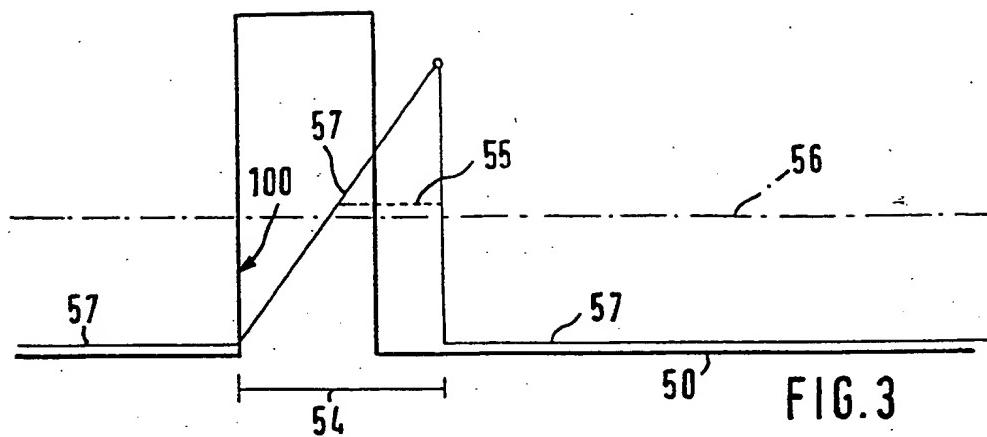


FIG. 3

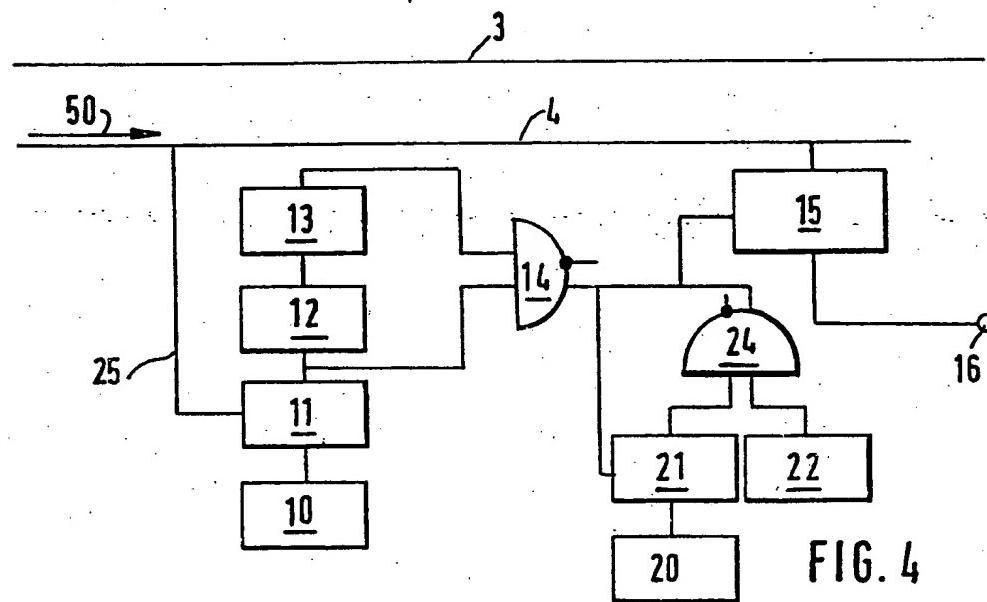


FIG. 4

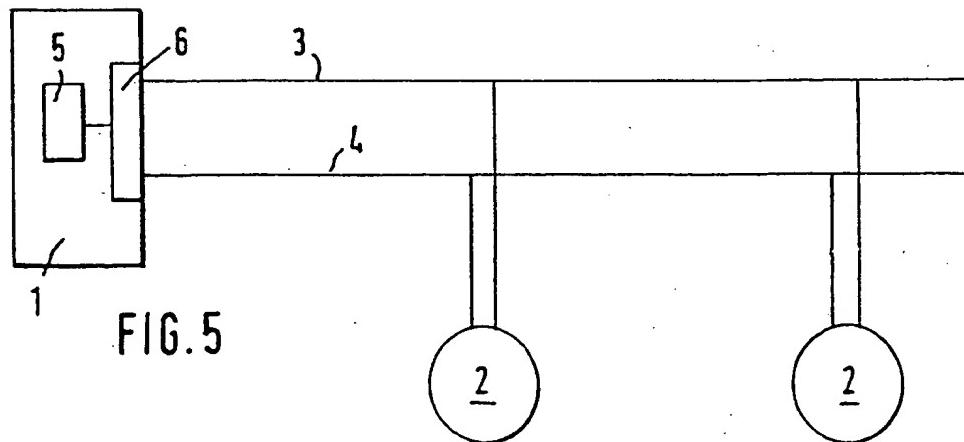


FIG. 5